

1/5/1

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014475985 **Image available**
WPI Acc No: 2002-296688/ 200234
XRPX Acc No: N02-231934

**Semiconductor integrated circuit device has built-in self-test circuit
which compares data read-out from selected flipflop of memory with
standard data**

Patent Assignee: TOSHIBA KK (TOKE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001297598	A	20011026	JP 2000109019	A	20000411	200234 B

Priority Applications (No Type Date): JP 2000109019 A 20000411

Patent Details:
Patent No Kind Lan Pg Main IPC Filing Notes
JP 2001297598 A 8 G11C-029/00

Abstract (Basic): JP 2001297598 A

NOVELTY - Flipflops are serially connected in the memory (2) of the semiconductor device that is built-in with a self-test circuit. The program data is read-out from the selected flipflop to generate test pattern data. The program data read-out from the flipflop is compared with the standard data to perform self-test of the memory.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for self-test method of semiconductor integrated circuit device.

USE - Semiconductor integrated circuit device built-in with self-test circuit.

ADVANTAGE - Increase in the circuit scale of the semiconductor IC device is effectively suppressed.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of semiconductor integrated circuit device. (Drawing includes non-English language text).

Memory (2)

pp; 8 DwgNo 1/6

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; DEVICE; BUILD; SELF; TEST;
CIRCUIT; COMPARE; DATA; READ; SELECT; MEMORY; STANDARD; DATA

Derwent Class: S01; U11; U13; U14

International Patent Class (Main): G11C-029/00

International Patent Class (Additional): G01R-031/28; H01L-021/66;

H01L-021/822; H01L-027/04

File Segment: EPI

(11)特許出願公開番号

特開2001-297598

(P2001-297598A)

(43)公開日 平成13年10月26日(2001.10.26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 B 2 G 0 3 2
	6 5 7		6 5 7 Z 4 M 1 0 6
G 0 1 R 31/28		H 0 1 L 21/66	F 5 F 0 3 8
H 0 1 L 21/66		G 0 1 R 31/28	V 5 L 1 0 6
27/04			B 9 A 0 0 1
審査請求 未請求 請求項の数4 O L (全 8 頁) 最終頁に続く			

(21)出願番号 特願2000-109019(P2000-109019)

(22)出願日 平成12年4月11日(2000.4.11)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 折戸 伸行

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター

(74)代理人 100083161

弁理士 外川 英明

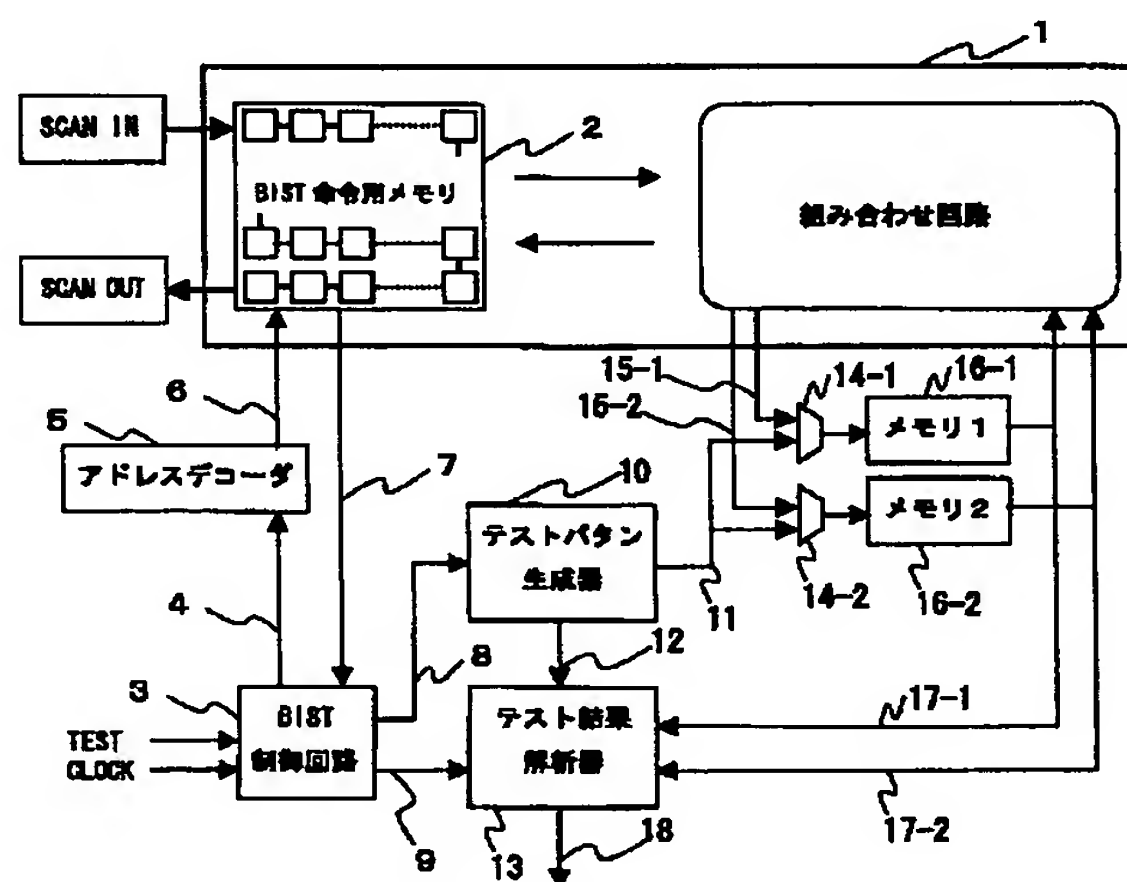
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置、及び半導体集積回路装置の自己テスト方法

(57) 【要約】

【課題】 BIST命令用メモリを新たに組み込むことなく、プログラマブルなメモリBISTを内蔵する半導体集積回路装置、及び半導体集積回路装置の自己テスト方法を提供する。

【解決手段】 集積回路中のフリップフロップを直列に連結したスキャンパスレジスタをBIST命令用メモリとし、アドレスデコーダからのアドレス指定信号によりフリップフロップを選択してBIST実行命令用プログラムデータを読み出す。この読み出されたプログラムデータに基づいてテストパタンデータを生成し、被テスト対象メモリがテストパタンデータを書き込んだ後で読み出されたデータと、当該テストパタンデータに相当する期待値パタンデータとを比較することによりメモリBISTを行う。



【特許請求の範囲】

【請求項 1】 データの書き込み及び読み出しが可能なメモリ回路と、

前記メモリ回路のテストを行うための自己テスト回路とを備え、

前記自己テスト回路は、

テスト開始信号を与えられて制御信号を出力する制御回路と、

複数のフリップフロップが直列に連結され、入力データをシフト動作させるスキャンパスレジスタと、

前記スキャンパスレジスタに対してデータ入力を行うためのデータ入力端子と、

前記制御信号が与えられて選択信号を発生し、前記スキャンパスレジスタを構成するフリップフロップ群から選択的に格納データを出力する出力選択手段と、

前記スキャンパスレジスタから選択出力されたデータに基づいてテストパターンデータを生成し、前記メモリ回路へ供給するテストパターン生成手段と、

前記メモリ回路が前記テストパターンデータを書き込んだ後で読み出されたデータと、前記テストパターンデータに相当する期待値テストパターンデータとを比較し、比較結果を出力する比較手段とを備えたことを特徴とする半導体集積回路装置。

【請求項 2】 前記スキャンパスレジスタは、前記複数のフリップフロップがアレイ状に配置され、前記出力選択手段との間で選択信号線が共通接続された m 個単位のフリップフロップからそれぞれ並列に格納データが出力されるよう、前記 m 個のフリップフロップ個々に対しそれぞれ対応するデータ出力線が配置されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記フリップフロップは、選択信号に基づいて格納データを出力するかしないかを選択できる出力端子を備えていることを特徴とする請求項 1 または 2 記載の半導体集積回路装置。

【請求項 4】 複数のフリップフロップが直列に連結され、入力データをシフト動作させるスキャンパスレジスタに対し、BIST 実行命令用プログラムデータを順次入力して各フリップフロップに 1 ビットずつ前記プログラムデータを格納するステップと、

テストモードが設定された場合に、前記スキャンパスレジスタを構成する所定数のフリップフロップから格納データを読み出すステップと、

前記読み出されたプログラムデータに基づいてテストパターンデータを発生させるステップと、

前記テストパターンデータを被テスト回路へ入力させるステップと、

前記被テスト回路からの出力と前記テストパターンデータに基づく期待値パターンデータとを比較するステップと、

前記比較結果に基づいて被テスト回路の良否判定を行うステップとを有することを特徴とする半導体集積回路装

置の自己テスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、論理ブロック内に自己テスト回路が組み込まれた半導体集積回路装置、及び半導体集積回路装置の自己テスト方法に関する。

【0002】

【従来の技術】 テスト容易化設計 (DFT: Design for Testability) は、LSI 回路にできるだけ小規模のテスト回路を付加する事により、そのテスト容易性を高め、テストパタンの作成期間やテストパターンサイズ、テスト時間、最終的な故障検出率などを最適化するための技術である。

【0003】 大規模かつ複雑な半導体集積回路のテストの困難性を解決するテスト容易化手法の一つとして、BIST (Built-In Self Test: 組み込み自己テスト) が用いられている。BIST とは、テスト対象ブロックへ与えるテストパタンの生成と、テスト対象ブロックからのテスト結果出力の解析を、テスト対象ブロックの周辺に構成された論理回路により全て自動的に行うものである。自己テストを行う際には、生成したテストパターンはテスト対象ブロックへ入力信号として与えられ、テスト対象ブロックからのテスト結果出力は逐次期待値と比較されるなどして、最終的にテスト解析結果が出力される。この解析結果により、対象ブロックに対する良否の判定が行われる。

【0004】 BIST によるテストでは、テストパターンを外部のテストメモリ上に用意しておく必要がないため、テストのコストを削減することが可能である。また、全ての動作を BIST クロックに同期させてデバイス内で行うために、BIST クロックを高速化させられればテストによるテスト動作周波数よりも速い動作速度でのテストが可能である。また、BIST によるテストでは、少数のテスト用外部入出力信号しか必要としないため、複数のブロックを並列的にテストすることもできる。これにより、全体のテスト時間を大幅に削減することが可能である。

【0005】 メモリデバイスに対する BIST は通常メモリ BIST と称される。従来のメモリ BIST では、メモリ回路に対して与えるテストパターン生成のアルゴリズムが固定された BIST 回路が設計の段階で半導体集積回路装置内に組み込まれる。したがって、回路実装後には BIST のテストパタンの変更や追加が出来ないという欠点があった。そこで、設計後にもテストパタンの変更を可能にする手法として、プログラマブルメモリ BIST という手法が考えられてきている。

【0006】 図 6 は、一般的に考えられるプログラマブルメモリ BIST の構成図である。BIST 命令用メモリ 102 には、図示しない外部入力端子よりテストパターンを生成するためのアルゴリズムを表現したプログラム

3

データ101が入力されて記憶される。BIST制御回路103は、テストモード設定信号TESTが所定の論理になるとテストモードに設定され、BISTクロックCLOCKに同期して動作し、アドレス指定信号106をBIST命令用メモリ102に与え、BIST命令用メモリ102より順次プログラムデータ107を読み出す。

【0007】テストパターン生成器110は、BIST制御回路103から出力される制御信号108に応じてそのプログラムデータに対応したテストパターンデータ111を順次発生させる。また同時にテストパターン生成器110は、テストパターンデータ111に相当する期待値パターンデータ112をテスト結果解析器113へも出力する。テストパターン生成器110から発生させられたテストパターンデータ111は、マルチプレクサ114により図示しないシステムロジックからの出力データ115と切り替えられ、被テストメモリ116への入力データとして選択される。

【0008】被テストメモリ116から読み出されたデータ117は、通常のシステム動作時はデータバスを介して出力データとして出力され、BIST動作時はテスト結果解析器113へと取り込まれる。テスト結果解析器113では、取り込まれたメモリ出力データ117と対応する期待値パターンデータ112とを比較してテスト解析結果118を出力する。このテスト解析結果118により被テストメモリの良否判定が行われる。

【0009】

【発明が解決しようとする課題】このようなプログラマブルメモリBISTでは、BIST命令用メモリに保持されているプログラムデータを変更することで、多種のテストパターンを発生させ、任意のメモリテストを実行することが可能である。しかしながら、このようなプログラマブルメモリBISTを用いた場合には、BIST実行時のプログラムデータを記憶するためのBIST命令用メモリを新たに回路内に実装する必要があり、回路規模が増加してしまうという問題が生じる。また、この追加したBIST命令用メモリをテストする方法も別に考えなければならないという問題も新たに発生してしまう。

【0010】本発明は、このような問題点を鑑みてなされたものであり、その目的は、命令用メモリを新たに組み込むことなく、プログラマブルなメモリBISTを内蔵する半導体集積回路装置、及び半導体集積回路装置の自己テスト方法を提供することにある。

【0011】

【課題を解決するための手段】前記課題を解決するために、本発明の第1の特徴は、半導体集積回路装置において、データの書き込み及び読み出しが可能なメモリ回路と、前記メモリ回路のテストを行うための自己テスト回路とを備え、前記自己テスト回路は、テストクロックとテスト開始信号とを与えられて制御信号を出力する制御

4

回路と、複数のフリップフロップが直列に連結され、入力データをシフト動作させるスキャンパスレジスタと、前記スキャンパスレジスタに対してデータ入力を行うためのデータ入力端子と、前記制御信号が与えられて選択信号を発生し、前記スキャンパスレジスタを構成するフリップフロップ群から選択的に格納データを出力する出力選択手段と、前記スキャンパスレジスタから選択出力されたデータに基づいてテストパターンデータを生成し、前記メモリ回路へ供給するテストパターン生成手段と、前記メモリ回路が前記テストパターンデータを書き込んだ後で読み出されたデータと、前記テストパターンデータに相当する期待値テストパターンデータとを比較し、比較結果を出力する比較手段とを備えたことを特徴とする。

【0012】また、本発明の第2の特徴は、請求項1に記載の半導体集積回路装置において、前記スキャンパスレジスタは、前記複数のフリップフロップがアレイ状に配置され、前記出力選択手段との間で選択信号線が共通接続されたm個単位のフリップフロップからそれぞれ並列に格納データが出力されるよう、前記m個のフリップフロップ個々に対しそれぞれ対応するデータ出力線が配置されていることを特徴とする。

【0013】また、本発明の第3の特徴は、請求項1または2に記載の半導体集積回路装置において、前記フリップフロップは、選択信号に基づいて格納データを出力するかしないかを選択できる出力端子を備えていることを特徴とする。

【0014】また、本発明の第4の特徴は、半導体集積回路装置の自己テスト方法において、複数のフリップフロップが直列に連結され、入力データをシフト動作させるスキャンパスレジスタに対し、BIST実行命令用プログラムデータを順次入力して各フリップフロップに1ビットずつ前記プログラムデータを格納するステップと、テストモードが設定された場合に、前記スキャンパスレジスタを構成する所定数のフリップフロップから格納データを読み出すステップと、前記読み出されたプログラムデータに基づいてテストパターンデータを発生させるステップと、前記テストパターンデータを被テスト回路へ入力させるステップと、前記被テスト回路からの出力と前記テストパターンデータに基づく期待値パターンデータとを比較するステップと、前記比較結果に基づいて被テスト回路の良否判定を行うステップとを有することを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照して説明する。

【0016】図1に、本発明の一実施形態であるプログラマブルメモリBISTを組み込んだ半導体集積回路装置の構成を示す。システムロジック1は組み合わせ回路と順序回路とに分離することができ、順序回路は通常のシステム動作時には個々に動作する複数のフリップフロ

ップより構成されている。これらフリップフロップはシフトレジスタのように直列に連結して接続され、外部入力端子SCAN INからテスト信号を入力して動作結果を出力端子SCAN OUTから読み出すことにより回路テストを行うためのスキャンパスレジスタ2を形成している。尚、スキャンパスレジスタ自体は特開平7-159492号にも記載されており公知の技術であるが、後述するように、本実施の形態ではこのスキャンパスレジスタ2をBIST命令用メモリとしても用いる点に特徴を有するものである。

【0017】BIST制御回路3は、アドレスデコーダ制御用信号4をアドレスデコーダ5へ供給する。アドレスデコーダ5はアドレス指定信号6をBIST命令用メモリ2に与え、BIST命令用メモリ2より選択的に順次プログラムデータ7を読み出す。テストパターン生成器10は、BIST制御回路3から出力される制御信号8に応じてそのプログラムデータに対応したテストパターンデータ11を順次発生させる。また、テストパターン生成器10は、テストパターンデータ11に相当する（同一の）期待値パターンデータ12をテスト結果解析器13へ与える。マルチプレクサ14-1、14-2は、テストパターン生成器10から発生されたテストパターンデータ11と、システムロジック1からの出力データ15-1、15-2とを切り替え、被テストメモリ16-1、16-2への入力データを選択する。

【0018】被テストメモリ16-1、16-2から読み出されたデータ17-1、17-2は、通常のシステム動作時はデータバスを介してシステムロジックへ出力され、BIST動作時はテスト結果解析器13へと取り込まれる。テスト結果解析器13では、取り込まれたメモリ出力データ17-1、17-2と、テストパターンデータ11に相当する期待値パターンデータ12とを比較してテスト解析結果（比較結果）18を出力する。

【0019】図2に、本実施の形態におけるBIST命令用メモリ2の具体例を示す。スキャンパスレジスタを構成する各フリップフロップ（2-1～2-n）はアレイ状に配置されており、また各フリップフロップは後述するように選択信号によって各出力をスキャンパス20とは別に出力できるよう構成されている。アドレスデコーダ5は、ワード数分のフリップフロップ単位で、それぞれのフリップフロップが有する選択信号用入力端子に同一の選択信号を入力するよう各フリップフロップと接続されている。また、選択信号が同一であるワード数分のフリップフロップは、ワード単位（mビット単位）で出力されるデータが1ビットごと並列に出力されるよう、それぞれが対応するバス信号線（19-1～19-m）に接続されている。

【0020】図3及び図4に、図2で示したBIST命令用メモリ2を構成する各フリップフロップの構成例を示す。図3は、シフト動作が可能なマルチプレクサ型の

フリップフロップの一例であり、選択信号が入力された場合に、通常出力とは別出力として出力信号をドライブまたは非ドライブのどちらかの状態にすることが可能なフリップフロップの構成図である。

【0021】マルチプレクサ型の場合、クロック入力端子203から入力されるシステムクロックに基づき、通常のシステム動作時のデータはデータ入力端子202から入力され、シフト動作時のデータはデータ入力端子204から入力される。フリップフロップに取り込むべき入力データは、テストイネーブル信号入力端子205により、通常動作時のデータであるかシフト動作時のデータであるかが選択される。また、フリップフロップ内に保持されているデータは、データ出力端子208から出力される。データ出力端子209からは、データ出力端子208から出力されるデータの反転値が出力される。

【0022】図4は、シフト動作が可能なマスタースレーブ型のフリップフロップの一例であり、選択信号が入力された場合に、通常出力とは別出力として出力信号をドライブまたは非ドライブのどちらかの状態にすることが可能なフリップフロップの構成図である。

【0023】マスタースレーブ型の場合は、クロック入力端子212から入力されるシステムクロックに基づいて、通常動作時のデータはデータ入力端子211から入力され、データ出力端子218から出力される。データ出力端子219からは、データ出力端子218から出力されるデータの反転値が出力される。一方、シフト動作時のデータは、データ入力端子213から入力され、データ出力端子220から出力される。シフト動作時におけるデータの入出力は、システムクロックとは異なり、クロック入力端子214から入力されるマスタークロックとクロック入力端子215から入力されるスレーブクロックの2つのクロック信号により行なわれる。

【0024】上記2種のフリップフロップにおいては、通常動作時におけるレジスタからの出力が分岐されており、一方の出力はそのままデータをデータ出力端子208及び218から出力され、他方の出力は選択信号の入力端子201及び210から入力される選択信号及びトライステートバッファ206及び216の動作により、専用に設けられたデータ出力端子207及び217からの出力がドライブ又は非ドライブの状態になるよう制御されている。

【0025】このように、フリップフロップの出力を選択信号によって選択的に出力できるよう構成することで、フリップフロップ本来の機能であるシステムが通常の動作をする際のデータ保持の機能、そして、システムのスキャンテスト実行時におけるシフト動作に加え、フリップフロップ外部からの選択信号により状態を選択して出力させるという、3つの動作が可能なフリップフロップを構築することができる。

【0026】次に、本実施の形態におけるプログラマブ

7

ルメモリ BIST の実行処理について、図 5 のフローチャートを用いて説明する。プログラマブルメモリ BIST としてメモリ 16-1、16-2 のテストを行う場合は、まず外部入力端子 SCAN IN より BIST 実行命令用プログラムデータの入力を行う。入力されたプログラムデータは、スキャンパスレジスタからなる BIST 命令用メモリ 2 において順次シフトされ、各フリップフロップに 1 ビットずつ格納されて、メモリ BIST 実行命令プログラムのセットが行われる (ステップ S1)。

【0027】BIST 制御回路 3 は、テストモード設定信号 TEST が所定の論理になるとテストモードに設定され、BIST クロック CLOCK に同期して動作し、アドレスデコーダ制御用信号 4 をアドレスデコーダ 5 へ供給する。アドレスデコーダ 5 からはアドレス指定信号 6 が BIST 命令用メモリ 2 に与えられ、格納されている所定のプログラムデータを順次読み出すようワード単位でフリップフロップが選択され、プログラムデータ 7 が読み出される (ステップ S2)。

【0028】テストパターン生成器 10 は、BIST 制御回路 3 から出力される制御信号 8 に応じてそのプログラムデータに対応したテストパターンデータ 11 を順次発生させる (ステップ S3)。また、テストパターン生成器 10 は、テストパターンデータ 11 に相当する期待値パターンデータ 12 をテスト結果解析器 13 へも出力する。テストパターン生成器 10 にて発生されたテストパターンデータ 11 は、マルチプレクサ 14-1、14-2 にてシステムロジックからの出力データ 15-1、15-2 と切り替えられ、被テストメモリ 16-1、16-2 への入力データとして選択され、それぞれのメモリに書き込まれる (ステップ S4)。

【0029】被テスト回路であるメモリ 16-1、16-2 から読み出されたデータ 17-1、17-2 は、テスト結果解析器 13 へと取り込まれる。テスト結果解析器 13 では、取り込まれたメモリ出力データ 17-1、17-2 とそれぞれ対応する期待値パターンデータ 12 とを比較してテスト解析結果 (比較結果) 18 を出力する (ステップ S5)。続けてメモリ BIST を実行する命令が BIST 命令用メモリ 2 に格納されている場合には、上記ステップ S2 からステップ S5 の動作を繰り返す (ステップ S6)。そしてテスト解析結果 18 に基づいて被テストメモリ 16-1、16-2 の良否判定を行う (ステップ S7)。更にテストを続行する場合には、BIST 命令用メモリ 2 に新たな BIST 実行命令用プログラムデータをセットし、上記ステップ S1 から S7 を繰り返す (ステップ S8)。

【0030】このように、集積回路中のフリップフロップを直列に連結したスキャンパスレジスタを BIST 命令用メモリとし、シフト動作により BIST 実行命令用プログラムデータを格納して、アドレスデコーダからのアドレス指定信号によりフリップフロップを選択して B

8

I ST 実行命令用プログラムデータを読み出す構成としたことにより、プログラマブルメモリ BIST を半導体集積回路装置に内蔵する場合でも、特別に BIST 命令用メモリを組み込む必要がなくなり、回路規模の増大を抑えることができる。

【0031】また、BIST 命令用メモリ自体のテストについては、外部入力端子 SCAN IN から入力した信号を出力端子 SCAN OUT から出力してその入出力結果に基づいて良否判定を行う、通常のスキャンパスレジスタのテストで兼ねることができるため、新たに BIST 命令用メモリのテスト方法を考える必要もない。

【0032】なお、本実施の形態ではテスト対象となるメモリが 2 個の例について説明したが、テスト対象のメモリの数は何個でもよく、2 以外の数であっても本発明は適用可能である。

【0033】

【発明の効果】以上説明したように本発明によれば、集積回路中のフリップフロップを直列に連結したスキャンパスレジスタを BIST 命令用メモリとし、シフト動作により BIST 実行命令用プログラムデータを格納して、アドレスデコーダからのアドレス指定信号によりフリップフロップを選択して BIST 実行命令用プログラムデータを読み出す構成としたことにより、プログラマブルメモリ BIST を半導体集積回路装置に内蔵する場合でも、特別に BIST 命令用メモリを組み込む必要がなくなり、回路規模の増大を抑えることができる。

【0034】また、BIST 命令用メモリ自体のテストについては、通常のスキャンパスレジスタの回路テストで兼ねることができるため、新たに BIST 命令用メモリのテストを考える必要もない。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係るプログラマブルメモリ BIST を組み込んだ半導体集積回路装置の構成図である。

【図 2】本発明の一実施形態に係る BIST 命令用メモリの構成図である。

【図 3】本発明の一実施形態に係る BIST 命令用メモリを構成するマルチプレクサ型のフリップフロップの構成図である。

【図 4】本発明の一実施形態に係る BIST 命令用メモリを構成するマスタースレーブ型のフリップフロップの構成図である。

【図 5】本発明の一実施形態に係るプログラマブルメモリ BIST の実行処理を示すフローチャートである。

【図 6】従来のプログラマブルメモリ BIST を組み込んだ半導体集積回路装置の構成図である。

【符号の説明】

2 BIST 命令用メモリ (スキャンパスレジスタ)

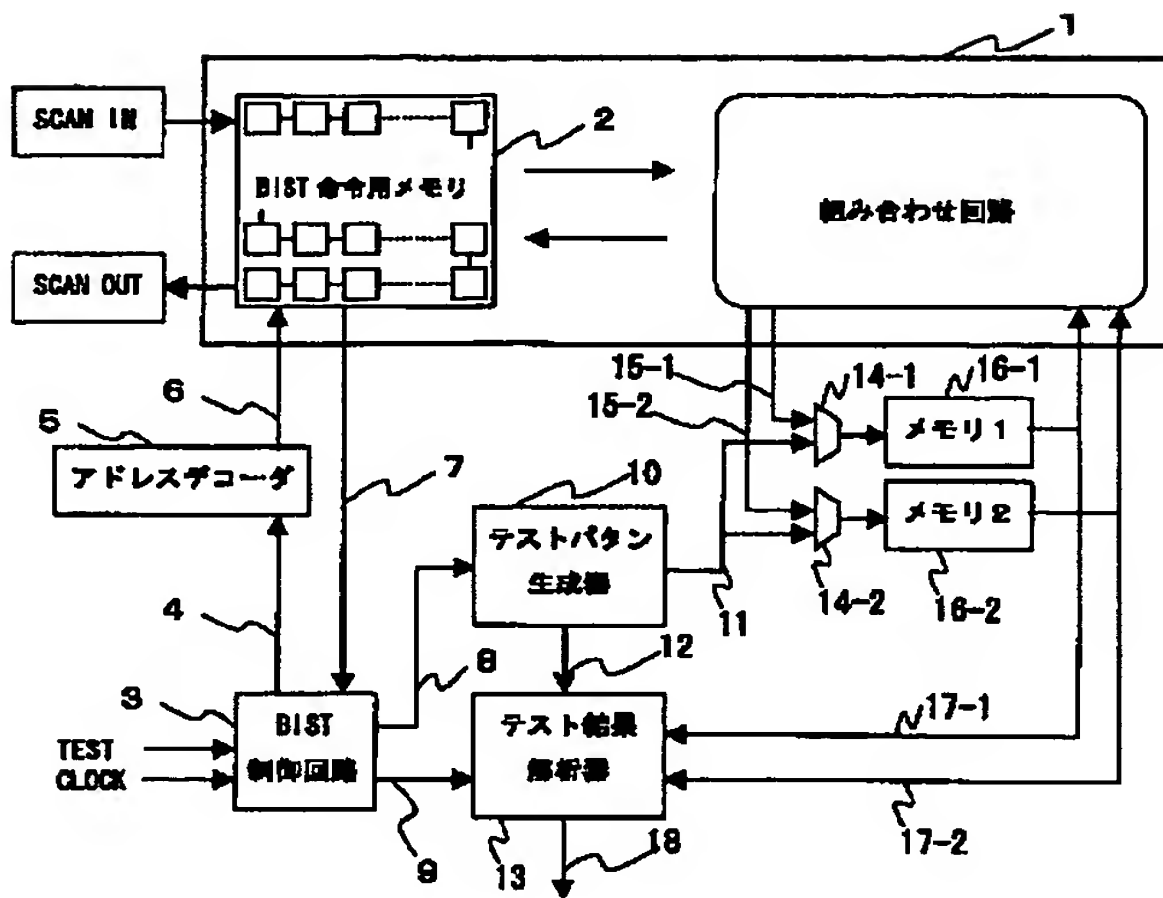
2-1 ~ 2-n フリップフロップ

3 BIST 制御回路

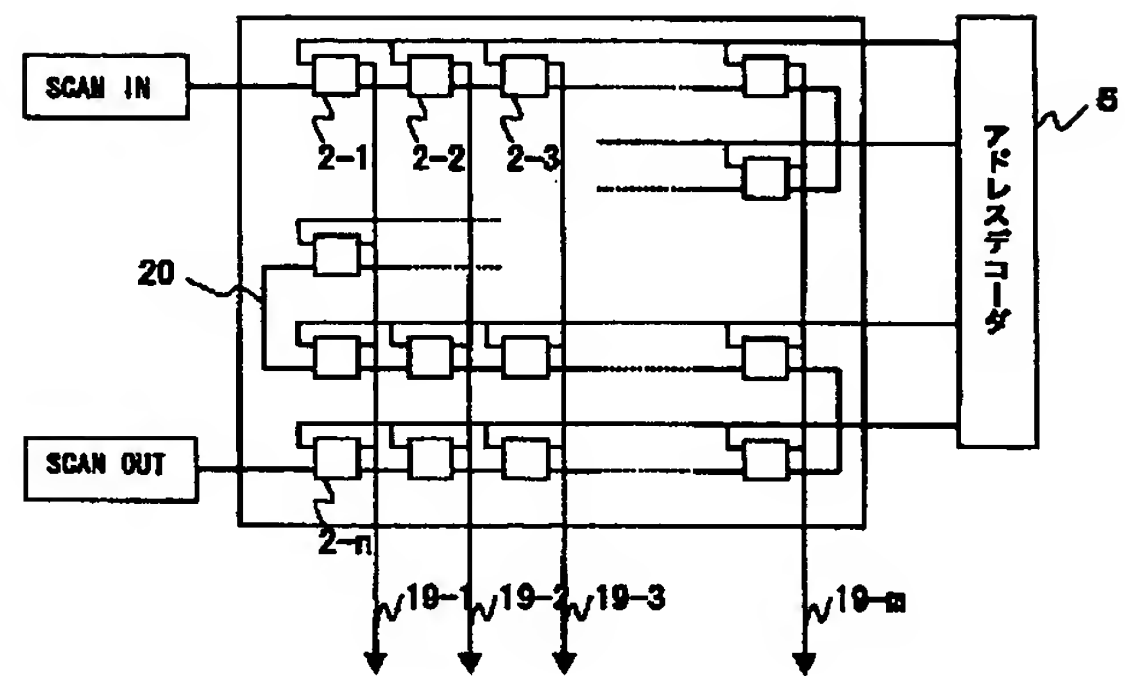
- 5 アドレスデコーダ
7 BIST実行命令用プログラムデータ
10 テストパターン生成器
11 テストパターンデータ
12 期待値パターンデータ

- 13 テスト結果解析器
16-1、16-2 被テストメモリ
17-1、17-2 被テストメモリ出力
18 テスト解析結果（比較結果）

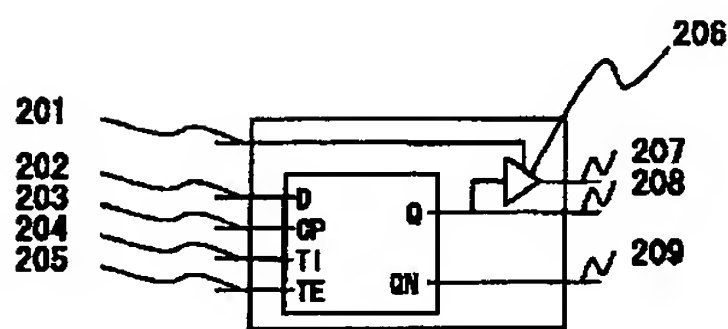
【図1】



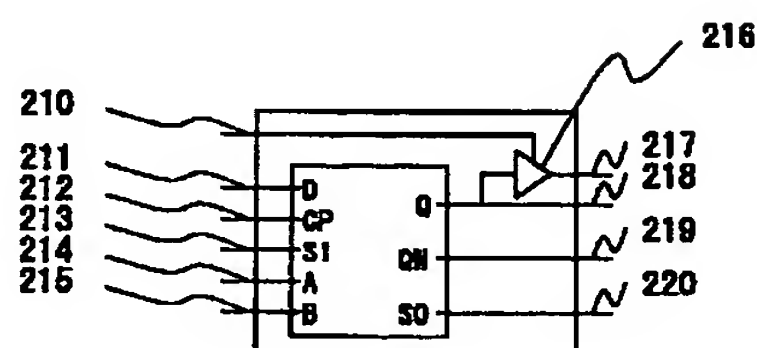
【図2】



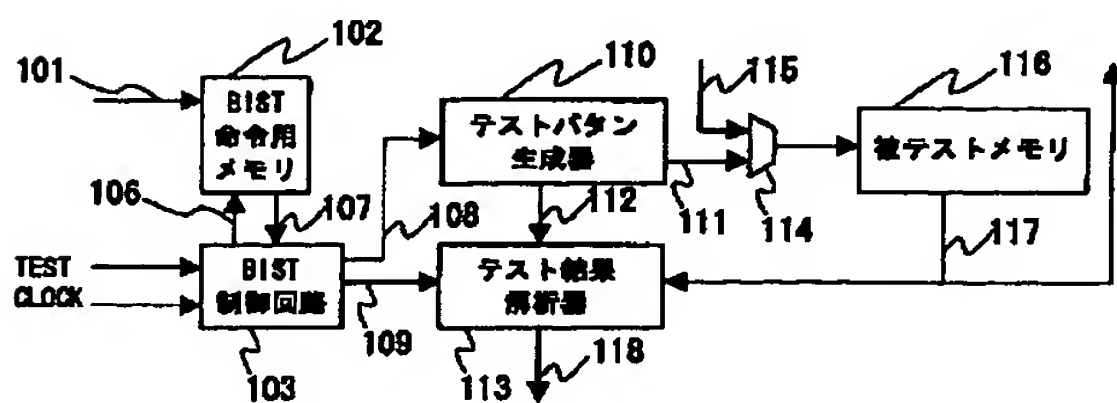
【図3】



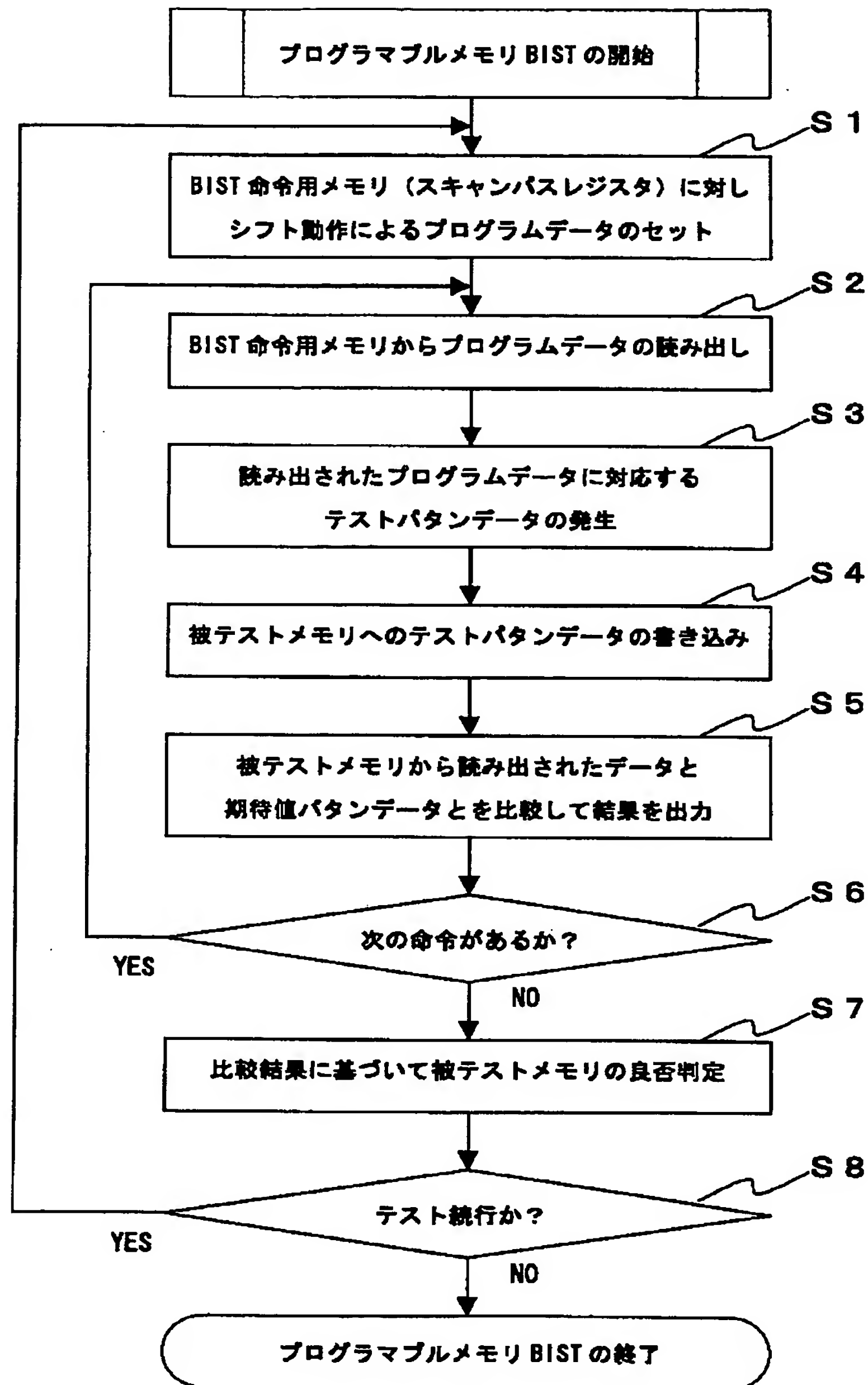
【図4】



【図6】



【図5】



フロントページの続き

(51) Int. Cl. ⁷

H 0 1 L 21/822

識別記号

F I

H 0 1 L 27/04

テーマコード* (参考)

T

F ターム(参考) 2G032 AA07 AB01 AC10 AD06 AD07
AG10 AK19
4M106 AA01 AA08 AC02 AC09 BA01
BA14 CA16 CA26 DJ18 DJ20
5F038 DF05 DT03 DT06 DT07 DT08
EZ20
5L106 DD02 DD03 DD06 DD08 DD12
DD22 DD25 GG07
9A001 BB03 BB05 LL05 LL06